

**DELPHION**

No active tr.

**RESEARCH****PRODUCTS****INSIDE DELPHION**

My Account

Search: Quick/Number Boolean Advanced Der

**Derwent Record**

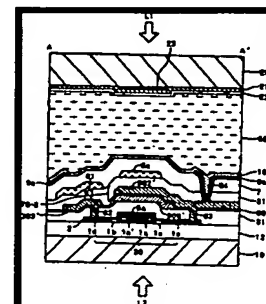
En

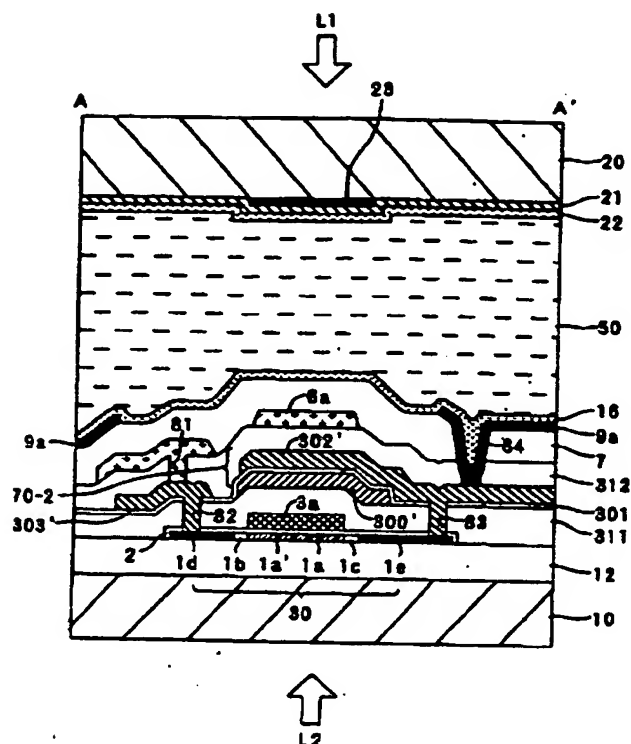
View: [Expand Details](#) Go to: [Delphion Integrated View](#)

Tools: Add to Work File: Create new Wor

Derwent Title: **Electrooptical device using thin-film-transistor (TFT) array**Original Title: **WO0182273A1: ELECTROOPTICAL DEVICE**Assignee: **SEIKO EPSON CORP** Standard company  
Other publications from [SEIKO EPSON CORP \(SHIH\)...](#)Inventor: **KURASHINA H;**Accession/Update: **2002-089700 / 200568**IPC Code: **G02F 1/1333 ; G02F 1/1343 ; G02F 1/136 ; G09F 9/30 ;  
G02F 1/1368 ; G09F 9/35 ; H01L 21/336 ; H01L 29/78 ; H01L  
29/786 ;**Derwent Classes: **P81; P85; U12; U13; U14; V07; W05;**Manual Codes: **U12-D02A(Igfet) , U13-A01A(IC radiation sensor with  
photodiode, photoconductor) , U14-H01A(Thin film two  
dimensional arrays e.g. for memories, LCDS, ELDS) , U14-  
K01A2(Constructional details, coating, and optical layers of  
LCD - other) , V07-F01A5(Integrated optical waveguides) ,  
V07-K01A(Light intensity control/modulation using electro-  
optical devices) , W05-E03(For advertising) , W05-E05  
(General display details)**Derwent Abstract: **( WO0182273A) Novelty** - An electrooptical device comprising, formed on a TFT array substrate (10), a pixel electrode (9a), a TFT (30) for switching-controlling the pixel electrode, and a scanning line (3a) and a data line (6a) connected to this TFT, wherein a capacitance electrode (302) and capacitance line (300) are laminated on the scanning line via an interlayer insulating film to thereby construct an accumulation capacitance (70) in a region overlapping the scanning line as viewed two-dimensionally, whereby increasing a pixel aperture ratio and, at the same time, an accumulation capacitance, reducing cross talk and ghost, and providing a high-grade image display.**Use** - Electrooptical device using thin-film-transistor (TFT) array

Images:

**BEST AVAILABLE COPY**

**Description of Drawing(s) - TFT array substrate 10**

Pixel electrode 9a, TFT 30, Scanning line 3a, Capacitance electrode 302, Capacitance line 300, Accumulation capacitance 70, **Description of Drawing(s) - TFT array substrate 10, Pixel electrode 9a, TFT 30, Scanning line 3a, Capacitance electrode 302, Capacitance line 300, Accumulation capacitance 70**, [Dwg.5/40](#)

**Family:**

PDF Patent	Pub. Date	Derwent Update	Pages	Language	IPC Code
<b>WO0182273A1</b> *	2001-11-01	200212	96	Japanese	G09F 9/30
Des. States: (N) CN JP KR US					
Local appls.: <a href="#">WO2001JP0003360</a> Filed:2001-04-19 (2001WO-JP03360)					
KR0481593B =	2005-04-08	200568		English	G02F 1/136
Local appls.: Based on <a href="#">WO00182273</a> (WO 200182273) Previous Publ. KR02026193 (KR2002026193) KR2001000716344 Filed:2001-12-20 (2001KR-0716344) <a href="#">WO2001JP0003360</a> Filed:2001-04-19 (2001WO-JP03360)					
<b>US6825891</b> =	2004-11-30	200479	61	English	G02F 1/1343
Local appls.: Div ex <a href="#">US06597413</a> (US 6597413) Div ex <a href="#">US06665024</a> (US 6665024) <a href="#">US2003000680296</a> Filed:2003-10-08 (2003US-0680296) Div ex <a href="#">US2003000397220</a> Filed:2003-03-27 (2003US-0397220) Div ex <a href="#">US2001000005147</a> Filed:2001-12-07 (2001US-0005147) Cont of <a href="#">WO2001JP0003360</a> Filed:2001-04-19 (2001WO-JP03360)					
JP03591513B2 =	2004-11-24	200477	42	English	G09F 9/30

Local appls.: Based on WO00182273 (WO 200182273)  
WO2001JP0003360 Filed:2001-04-19 (2001WO-  
 JP03360)  
JP2001000579279 Filed:2001-04-19 (2001JP-0579279)

☒ TW0222047B1 = 2004-10-11 200530 XX\_XX G09F 9/30

Local appls.: TW2001000109396 Filed:2001-04-19 (2001TW-0109396)

☐ US20040070708A1 = 2004-04-15 200426 62 English G02F 1/1333

Local appls.: Div ex US06597413 (US 6597413)  
 Div ex US06665024 (US 6665024)  
US2003000680296 Filed:2003-10-08 (2003US-0680296)  
 Div ex US2003000397220 Filed:2003-03-27 (2003US-  
 0397220)  
 Div ex US2001000005147 Filed:2001-12-07 (2001US-  
 0005147)  
 Cont of WO2001JP0003360 Filed:2001-04-19 (2001WO-  
 JP03360)

☐ US6665024 = 2003-12-16 200382 61 English G02F 1/1343

Local appls.: Div ex US06597413 (US 6597413)  
US2003000397220 Filed:2003-03-27 (2003US-0397220)  
 Div ex US2001000005147 Filed:2001-12-07 (2001US-  
 0005147)  
 Cont of WO2001JP0003360 Filed:2001-04-19 (2001WO-  
 JP03360)

☐ US20030189683A1 = 2003-10-09 200367 62 English G02F 1/1333

Local appls.: Div ex US06597413 (US 6597413)  
US2003000397220 Filed:2003-03-27 (2003US-0397220)  
 Div ex US2001000005147 Filed:2001-12-07 (2001US-  
 0005147)  
 Cont of WO2001JP0003360 Filed:2001-04-19 (2001WO-  
 JP03360)

JP2001579279X = 2003-07-29 200358 English G09F 9/30

Local appls.: Based on WO00182273 (WO 200182273)  
JP2001000579279 Filed:2001-04-19 (2001JP-0579279)  
WO2001JP0003360 Filed:2001-04-19 (2001WO-  
 JP03360)

☐ US6597413 = 2003-07-22 200354 61 English G02F 1/1343

Local appls.: US2001000005147 Filed:2001-12-07 (2001US-0005147)  
 Cont of WO2001JP0003360 Filed:2001-04-19 (2001WO-  
 JP03360)

☒ CN1366652A = 2002-08-28 200282 English G09F 9/30

Local appls.: CN2001000801011 Filed:2001-04-19 (2001CN-0801011)

☐ US20020060756A1 = 2002-05-23 200239 63 English G02F 1/1343

Local appls.: US2001000005147 Filed:2001-12-07 (2001US-0005147)  
 Cont of WO2001JP0003360 Filed:2001-04-19 (2001WO-  
 JP03360)

KR2026193A = 2002-04-06 200267 English G02F 1/136

Local appls.: KR2001000716344 Filed:2001-12-20 (2001KR-0716344)

⌘ INPADOC [Show legal status actions](#)  
Legal Status:

⌘ Priority Number:

Application Number	Filed	Original Title
JP2000000121452	2000-04-21	

⌘ Title Terms: DEVICE THIN FILM TRANSISTOR TFT ARRAY

[Pricing](#) [Current charges](#)

<b>Derwent Searches:</b>	<a href="#">Boolean</a>   <a href="#">Accession/Number</a>   <a href="#">Advanced</a>
--------------------------	---

Data copyright Thomson Derwent 2003



Copyright © 1997-2006 The Thoi

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact U](#)

[51] Int. Cl<sup>7</sup>

**G09F 9/30**

G02F 1/136 H01L 29/78

**[12] 发明专利申请公开说明书**

**[21] 申请号 01801011.3**

[43]公开日 2002年8月28日

[11]公开号 CN 1366652A

[22] 申请日 2001.4.19 [21] 申请号 01801011.3

### [30] 优先权

[32]2000.4.21 [33]JP [31]121452/00

[86]国际申请 PCT/JP01/03360 2001.4.19

[87] 国际公布 WO01/82273 日 2001.11.1

**[85]进入国家阶段日期 2001.12.20**

[71] 申请人 精工爱普生株式会社

**地址** 日本东京都

[72]发明人 仓科久树

**[74] 专利代理机构 中国专利代理(香港)有限公司**

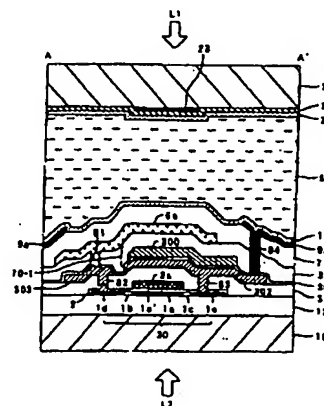
代理人 刘宗杰 叶恺东

权利要求书4页 说明书42页 附图页数40页

**[54]发明名称 电光装置**

**[57]摘要**

一种光电装置,在 TFT 阵列基板(10)上备有:像素电极(9a)、对像素电极进行开关控制的 TFT(30)、以及连接在该 TFT 上的扫描线(3a)及数据线(6a)。在扫描线上通过层间绝缘膜层叠电容电极(302)及电容线(300),在平面图上看在重叠在扫描线上的区域中构筑蓄积电容(70)。因此,能谋求与提高像素孔径率的同时增大蓄积电容,减少互相干扰并降低成本,进行高品位的图像显示。



ISSN 1008-4274

知识产权出版社出版

蓄积电容的层叠状态的剖面图。

图 39 是第十八实施例的电光装置中的形成了数据线、扫描线、像素电极等的 TFT 阵列基板上的像素的平面图。

图 40 是表示图 39 中的利用接触孔进行各层的连接的关系及构筑蓄积电容的层叠状态的剖面图。

图 41 是与各实施例的电光装置中在 TFT 阵列基板上形成的各结构要素一起从相对基板一侧看到的平面图。

图 42 是图 41 中的 H-H' 剖面图。

实施发明用的最佳形态

以下，根据附图按照顺序对每个实施例说明实施本发明用的最佳实施形态。以下的各实施例是将本发明的电光装置应用于液晶装置的实施例。

(第一实施例)

参照图 1 至图 3 说明本发明的第一实施例的电光装置的结构。图 1 是构成电光装置的图像显示区域的呈矩阵状形成的多个像素中的各种元件、布线等的等效电路。图 2 是形成了数据线、扫描线、像素电极等的 TFT 阵列基板上的相邻的多个像素群的平面图，图 3 是图 2 中的 A-A' 剖面图。另外，在图 3 中，为了在图纸上能识别出各层和各构件的大小，各层和各构件的比例尺不同。

在图 1 中，构成本实施例的电光装置的图像显示区域的呈矩阵状形成的多个像素形成控制像素电极 9a 和控制该像素电极 9a 用的 TFT30，供给图像信号的数据线 6a 导电性地连接在该 TFT30 的源极上。写入数据线 6a 中的图像信号 S1、S2、…、Sn 即使按照该顺序依次供给各线也没关系，对相邻的多条数据线 6a 之间，也可以供给每一组。另外，扫描线 3a 导电性地连接在 TFT30 的栅极上，按照规定的时序，将扫描信号 G1、G2、…、Gm 脉冲式地依次加在扫描线 3a 上。像素电极 9a 导电性地连接在 TFT30 的漏极上，通过在一定期间关闭作为开关元件的 TFT30 这个开关，按照规定的时序写入从数据线 6a 供给的图像信号 S1、S2、…、Sn。作为电光物质的一例，通过像素电极 9a 写入液晶的规定电平的图像信号 S1、S2、…、Sn 在相对基板（将在后面说明）上形成的相对电极（将在后面说明）之间保持一定期间。液晶利用被施加的电压电平，改变分子集合的取向和秩序，能对光进行调制，进

行灰度显示。如果是正常白色方式，随着施加电压的增加，入射光的透射率降低，如果是正常黑色方式，随着施加电压的增加，入射光的透射率增大，作为整体，从电光装置射出具有对应于图像信号的反差的光。这里，为了防止泄漏被保持的图像信号，与在像素电极 9a 和相对电极之间形成的液晶电容并联地附加蓄积电容 70。在 TFT30 的漏极和供给恒定电位的电容线 300 之间，通过电介质膜形成蓄积电容 70。

在图 2 中，多个透明的像素电极 9a（用虚线 9a' 示出了轮廓）呈矩阵状地设置在电光装置的 TFT 阵列基板上，沿着像素电极 9a 的各个纵横边界设置数据线 6a、扫描线 3a。

另外，半导体层 1a 中与图中右下方的斜线区域所示的沟道区 1a' 相对地配置扫描线 3a，扫描线 3a 具有栅极功能。这样，在扫描线 3a 和数据线 6a 交叉的地方，分别在沟道区 1a' 中设置扫描线 3a 作为栅极相对配置的像素开关用 TFT30。

在本实施例中，图中如粗线所示，重叠在扫描线 3a 的形成区域上形成电容线 300。更具体地说，电容线 300 备有：沿扫描线 3a 延伸的主线部；图 2 中，从与数据线 6a 交叉的各个地方沿着数据线 6a 向上方分别突出的突出部；以及仅包括对应于接触孔 84 的地方的包括部。电容线 300 例如由含有 Ti、Cr、W、Ta、Mo、Pb 等高熔点金属中的至少一种的金属单体、合金、金属硅化物、多晶硅化物、以及将它们层叠起来的结构等构成。

如图 2 及图 3 所示，数据线 6a 通过对阻挡层 303 进行中继，并通过接触孔 81 及 82 导电性地连接在例如由多晶硅膜构成的半导体层 1a 中的高浓度源极区 1d 上。另一方面，像素电极 9a 将由与阻挡层 303 相同的膜构成的电容电极 302 作为阻挡层利用进行中继，通过接触孔 83 及 84 导电性地连接在半导体层 1a 中的高浓度漏极区 1e 上。

这样通过将电容电极 302 作为阻挡层用，即使像素电极 9a 和构成 TFT30 的半导体层 1a 之间的层间距离长达例如 1000nm 左右，也能避免用一个接触孔连接两者之间的技术性的困难，能用直径较小的两个串联的接触孔 83 及 84 良好地连接两者之间，能提高像素孔径率。特别是如果用这样的阻挡层，则有助于防止接触孔开孔时过度刻蚀。同样，通过利用阻挡层 303，即使数据线 6a 和构成 TFT30 的半导体层 1a 之间的层间距离长，也能避免用一个接触孔连接两者之间的技术性的困难，

能用直径较小的两个串联的接触孔 81 及 82 良好地连接两者之间。这样的电容电极 302 及阻挡层 303 例如由含有 Ti、Cr、W、Ta、Mo、Pb 等高熔点金属中的至少一种的金属单体、合金、金属硅化物等构成。

由于由这样的高熔点金属构成，所以能具有将电容电极 302 及阻挡层 303 作为至少局部地规定各像素的孔径区域的遮光膜的功能。通过溅射能比较容易地形成这样的电容电极 302 及阻挡层 303。电容电极 302 及阻挡层 303 也可以由高熔点金属以外的金属膜构成，还可以与作为光吸收层或遮光功能无关而由透明的导电性的多晶硅膜构成，另外，还可以由包含这些膜中的多个膜的多层膜构成。不管在哪一种情况下，电容电极 302 及阻挡层 303 的厚度例如都为 50~500nm 左右。

如图 2 及图 3 所示，由于电容电极 302 和电容线 300 通过电介质膜 301 相对配置，所以在平面上看，在重叠在扫描线 3a 上的区域及重叠在数据线 6a 上的区域中，构筑作为蓄积电容 70（参照图 1）之一例的蓄积电容 70-1。

即，电容线 300 覆盖着扫描线 3a 延伸，同时在数据线 6a 的区域下面覆盖着电容电极 302、有突出的突出部、呈梳齿状地形成。电容电极 302 从扫描线 3a 和数据线 6a 的交叉部开始，一方面沿着位于数据线 6a 的区域下面的电容线 300 的突出部延伸，另一方面沿着位于扫描线 3a 的区域上面的电容线 300 延伸到相邻的数据线 6a 附近，形成 L 形的岛状电容电极。而且，在呈 L 形的电容电极 302 重叠在电容线 300 上的区域中，通过电介质膜 301 形成蓄积电容 70-1。

作为蓄积电容 70-1 的电容电极之一的电容电极 302 通过接触孔 84，与像素电极 9a 连接（同时通过接触孔 83，与高浓度漏极区 1e 连接），产生像素电极电位。

包含蓄积电容 70-1 的另一个电容电极的电容线 300 从配置了像素电极 9a 的图像显示区域沿着其周围设置，与恒定电位电源导电性地连接，产生规定的电位。作为恒定电位电源，可以是供给下述电路的正电源或负电源的恒定电位电源，上述电路是：将驱动 TFT30 用的扫描信号供给扫描线 3a 用的扫描线驱动电路（将在后面说明）、或控制将图像信号供给数据线 6a 的取样电路的数据线驱动电路（将在后面说明），还可以是供给相对基板的恒定电位。

蓄积电容 70-1 的电介质膜 301 由例如厚度为 5~200nm 左右的较薄

的 HTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide) 膜等氧化硅膜、或氮化硅膜等构成。从增大蓄积电容 70-1 的观点看，只要薄膜的厚度能获得充分的可靠性，电介质膜 301 越薄越好。

5 如图 3 所示，<sup>板b</sup>电光装置备有透明的 TFT 阵列基板 10、以及与其相对配置的透明的相对基板 20。TFT 阵列基板 10 例如由石英基板、玻璃基板、硅基板构成，相对基板 20 例如由玻璃基板、石英基板构成。像素电极 9a 设置在 TFT 阵列基板 10 上，在其上侧设有进行过摩擦处理等规定的取向处理的取向膜 16。像素电极 9a 由例如 ITO (Indium Tin Oxide) 膜等透明导电性薄膜构成。另外取向膜 16 由例如聚酰亚胺薄膜等有机薄膜构成。

15 另一方面，在相对基板 20 上沿其全部表面设有相对电极 21，在其下侧设有进行过摩擦处理等规定的取向处理的取向膜 22。取向膜 21 例如由 ITO 膜等透明导电性薄膜构成。另外取向膜 22 由聚酰亚胺薄膜等有机薄膜构成。

在 TFT 阵列基板 10 上，在与各像素电极 9a 相邻的位置，设有对各像素电极 9a 进行开关控制的像素开关用 TFT30。

20 另外如图 3 所示，在相对基板 20 上还可以设置第二遮光膜 23。通过采用这样的结构，入射光 L1 不会从相对基板 20 一侧进入像素开关用 TFT30 的半导体层 1a 的沟道区 1a' 或低浓度源极区 1b 及低浓度漏极区 1c 中。另外，第二遮光膜 23 由于用高反射膜形成入射光 L1 照射的面，所以具有防止电光装置的温度上升的作用。

25 另外，在本实施例中，也可以利用由 A1 膜等构成的遮光性的数据线 6a，对各像素的遮光区域中沿数据线 6a 的部分进行遮光，通过用遮光性的膜形成电容线 300，能在除了接触孔 81、82 的形成区域以外的数据线 6a 的下方进行遮光。

30 这样构成后，在使像素电极 9a 和相对电极 21 相对配置的 TFT 基板 10 和相对基板 20 之间，用后面所述的密封材料围成一空间，将作为电光物质之一例的液晶封入该空间中，形成液晶层 50。在不施加来自像素电极 9a 的电场的状态下，利用取向膜 16 及 22 取得规定的取向状态。液晶层 50 例如由一种或将多种向列液晶混合起来的液晶构成。密封材料是例如由光硬化性树脂或热硬化性树脂构成的黏合剂，用来

将 TFT 阵列基板 10 及相对基板 20 的周边粘接起来, 而且在黏合剂中混入了使两基板之间的距离为规定值用的玻璃纤维或玻璃球等间隔材料。

另外, 在像素开关用 TFT30 的下面设有基底绝缘膜 12。由于在 TFT 阵列基板 10 的全部表面上形成基底绝缘膜 12, 所以具有能防止 TFT 阵列基板 10 的表面研磨时造成的粗糙、以及清洗后留下的污垢等引起的图像开关用 TFT30 的特性劣化。

在图 3 中, 图像开关用 TFT30 有 LDD (Lightly Doped Drain) 结构, 备有: 扫描线 3a、利用来自扫描线 3a 的电场形成沟道的半导体层 1a 的沟道区 1a'、包括使扫描线 3a 和半导体层 1a 绝缘的栅极绝缘膜的绝缘薄膜 2、数据线 6a、半导体层 1a 的低浓度源极区 1b 及低浓度漏极区 1c、半导体层 1a 的高浓度源极区 1d、以及高浓度漏极区 1e。多个像素电极 9a 中的对应的一个通过接触孔 83 及 84 (具有作为电容电极的功能), 利用电容电极 302 进行中继而连接在高浓度漏极区 1e 上。另外, 在扫描线 3a 上形成第一层间绝缘膜 311, 在第一层间绝缘膜 311 上分别形成了通向高浓度源极区 1d 的接触孔 82 及通向高浓度漏极区 1e 的接触孔 83。

在电容线 300 上形成第二层间绝缘膜 312, 在第二层间绝缘膜 312 上分别形成了通向阻挡层 303 的接触孔 81 及通向电容电极 302 的接触孔 84。

在第二层间绝缘膜 312 上形成数据线 6a, 再在它们上面形成第三层间绝缘膜 7, 在第三层间绝缘膜 7 上形成了通向电容电极 302 的接触孔 84。上述的像素电极 9a 设置在这样构成的第三层间绝缘膜 7 上面。

如上所述, 如果采用本实施例, 则由于在 TFT 阵列基板 10 上为了将电容线 300 和电容电极 302 呈立体地重叠在扫描线 3a 和数据线 6a 上形成, 而使电容线 300 沿扫描线 3a 的区域伸出, 同时使其一部分沿数据线 6a 突出地形成, 使电容电极 302 沿电容线 300 呈 L 形形成, 构筑了蓄积电容 70-1, 所以不需要象上述的背景技术那样与扫描线 3a 并联地配置电容线 300, 不扩大各像素的非孔径区域, 也能获得大的蓄积电容。另外, 通过确保足够大的线的宽度, 能使扫描线 3a 和电容线 300 低电阻化, 特别是能谋求间距微细的像素的高孔径率化, 降低显示图像中的互相干扰、降低成本、提高图像质量。

另外在本实施例中，特别是产生像素电极电位的电容电极 302 采用比产生规定电位的电容线 300 更靠近扫描线 3a 一侧层叠的结构。因此，使介于电容电极 302 及扫描线 3a 之间的第一层间绝缘膜 311 的厚度为 200~2000nm 左右即可。这样由于将第一层间绝缘膜 311 淀积得较厚，所以实际上意味着能减少电容电极 302 及扫描线 3a 之间的电容耦合产生的不良影响。另一方面，产生规定电位的电容线 300 重叠在产生像素电极电位的电容电极 302 和数据线 6a 之间，所以电容电极 302 的电位变化不会通过电容耦合而对数据线 6a 产生不良影响，或者数据线 6a 的电位变化不会通过电容耦合而对电容电极 302（以及像素电极 9a）产生不良影响，所以是有利的。

另外在本实施例中，特别是由于由遮光膜构成电容线 300，此外由于由遮光膜构成电容电极 302 及阻挡层 303，所以能具有作为规定像素孔径区域的遮光膜的功能。这时在图 2 所示的平面图中，扫描线 3a、数据线 6a 及 TFT30 最好不从有关的遮光膜的形成区域露出。如果这样构成，则由于从图 3 上方入射到 TFT 阵列基板 10 上的入射光 L1 在从有关的遮光膜露出的扫描线 3a、数据线 6a 或 TFT30 的表面上反射，所以能将该电光装置内部的内面反射光和多重反射光的发生有效地防患于未然。

另外，在本实施例中，虽然被省略了，但如后面的第三实施例等所示，也可以沿扫描线 3a 呈条状地或者沿扫描线 3a 及数据线 6a 呈条状地形成下层遮光膜（图 7 等中所示的第一遮光膜 11a），该下层遮光膜包含从 TFT 阵列基板 10 一侧（图 3 中下侧）覆盖 TFT30 的部分。这样的下层遮光膜遮挡从 TFT 阵列基板的背面和投射光学系统返回的光 L2，由于基于该光的光激励是引起 TFT30 截止时的漏电流的原因，所以能有效地防止 TFT30 的特性变化。这样的下层遮光层例如由含有 Ti、Cr、W、Ta、Mo、Pb 等高熔点金属中的至少一种的金属单体、合金、金属硅化物等构成。特别是在通过棱镜将复式彩色显示用的投影机等多个电光装置组合起来构成一个光学系统的情况下，由从另一个电光装置穿过棱镜等射来的投射光部分构成的返回光 L2 的强度很大，所以这样将下层遮光膜设置在 TFT30 的下侧非常有效。关于这样的下层遮光膜与电容线 300 一样，也可以从图像显示区域沿其周围设置，连接在恒定电位电源上。

在以上说明的实施例中，虽然通过层叠多层导电层，在沿着数据线 6a 和扫描线 3a 的区域中产生台阶，但也可以通过在 TFT 阵列基板 10、基底绝缘膜 12、第一层间绝缘膜 311、第二层间绝缘膜 312 上挖槽，埋入数据线 6a 等布线和 TFT30 等，进行平坦化处理，还可以通过采用 CMP (Chemical Mechanical Polishing) 处理等方法对第三层间绝缘膜 7 和第二层间绝缘膜 312 上面的台阶进行摩擦，或者通过使用有机 SOG 平坦地形成，进行该平坦化处理。

另外在以上说明的实施例中，虽然像素开关用 TFT30 最好如图 3 所示具有 LDD 结构，但也可以是具有不将不纯物掺入低浓度源极区 1b 及低浓度漏极区 1c 的偏置结构、或者将由扫描线 3a 的一部分构成的栅极作为掩模，掺入高浓度不纯物，自行调整地形成高浓度源极及漏极区的自调整型的 TFT。另外在本实施例中，虽然在高浓度源极区 1d 及高浓度漏极区 1e 之间只配置一个像素开关用 TFT30 的栅极而呈单一栅极结构，但在它们之间也可以配置两个以上的栅极。如果这样用两个栅极或三个以上的栅极构成 TFT，能防止沟道和源极及漏极区域的结合部分的漏电流，能降低截止时的电流。

另外，在第一实施例及以下说明的各实施例的电光装置中，使各种导电膜之间绝缘的各种层间绝缘膜也可以例如采用常压、减压 CVD 法、等离子体 CVD 法等，利用 TEOS (テトラ・エチル・オルソ・シリケート) 气体、TEB (テトラ・エチル・ボードレート) 气体等，由 NSG (非掺杂硅酸盐玻璃)、PSG (磷硅酸盐玻璃) 等硅酸盐玻璃膜、氮化硅膜或氧化硅膜等构成。

### (第二实施例)

其次，参照图 4 及图 5，说明本发明的电光装置的第二实施例。这里，图 4 是形成了数据线、扫描线、像素电极等的 TFT 阵列基板上的像素的平面图，图 5 是表示图 4 中的利用接触孔进行各层的连接的关系及构筑蓄积电容的层叠状态的剖面图。另外，在图 5 中，为了在图纸上能识别出各层和各构件的大小，以及为了容易理解由接触孔进行的连接关系及构筑蓄积电容的层叠状态，使各层和各构件的比例尺及相对的平面配置适当地不同。另外，在图 4 及图 5 中，与图 2 及图 3 (第一实施例) 相同的结构要素标以相同的参照符号，其说明从略。

如图 4 及图 5 所示，在第二实施例中，与第一实施例相比，由构

线 6a'' 之间制作蓄积电容 70 的情况下, 通过用导电性的遮光膜构成电容线及电容电极两者中的一者或两者, 能具有作为规定各像素的孔径区域的内部遮光膜的功能。或者, 用透明的导电膜构成电容线及电容电极两者中的一者或两者, 也可以另外形成规定各像素的孔径区域的内部遮光膜。另外, 在象第十七实施例或第十八实施例那样在扫描线 3a' 和数据线 6a'' 之间制作蓄积电容 70 的情况下, 也可以采用象第十二实施例那样用一对电容线夹持电容电极的结构。

如以上说明的第十一至第十八实施例所示, 在将底部型的 TFT 作为像素开关用 TFT 使用的情况下, 能用同一导电膜构成像素电极和数据线。在此情况下, 还能在像素电极和 TFT 之间构筑各种蓄积电容, 电容线和电容电极的上下关系怎样都可以, 另外还能用一对电容线夹持电容电极。

#### (电光装置的总体结构)

参照图 41 及图 42 说明这样构成的各实施例的电光装置的总体结构。另外, 图 41 是与在 TFT 阵列基板 10 上形成的各结构要素一起从相对基板 20 一侧看到的平面图, 图 42 是图 41 中的 H-H' 剖面图。

在图 42 中, 在 TFT 阵列基板 10 上沿其边缘设置密封材料, 在其内侧并行地设有例如由与第二遮光膜 23 相同或不同的材料构成的作为规定图像显示区域 10a 的周边的边框的第三遮光膜 53。在密封材料 52 的外侧区域中, 沿着 TFT 阵列基板 10 的一边设有通过在规定时刻将图像信号供给数据线 6a, 驱动数据线 6a 的数据线驱动电路 101 及外部电路连接端子 102, 沿着与该一边相邻的两边设有通过在规定时刻将扫描信号供给扫描线 3a, 驱动扫描线 3a 的扫描线驱动电路 104。如果供给扫描线 3a 的扫描信号延迟没有问题, 当然扫描线驱动电路 104 也可以只在一侧。另外, 也可以将数据线驱动电路 101 沿图像显示区域 10a 的边配置在两侧。另外在 TFT 阵列基板 10 的剩余的一个边上设有多条布线 105, 用来在图像显示区域 10a 的两侧设置的扫描线驱动电路 104 之间进行连接。另外, 在相对基板 20 的角部的至少一个地方设有使 TFT 阵列基板 10 和相对基板 20 之间导电性地导通用的导通材料 106。而且, 如图 42 所示, 具有与图 41 所示的密封材料的轮廓大致相同的轮廓的相对基板 20 利用该密封材料 52 粘接固定在 TFT 阵列基板 10 上。

另外, 在 TFT 阵列基板 10 上除了这些数据线驱动电路 101、扫描

## 说明书附图

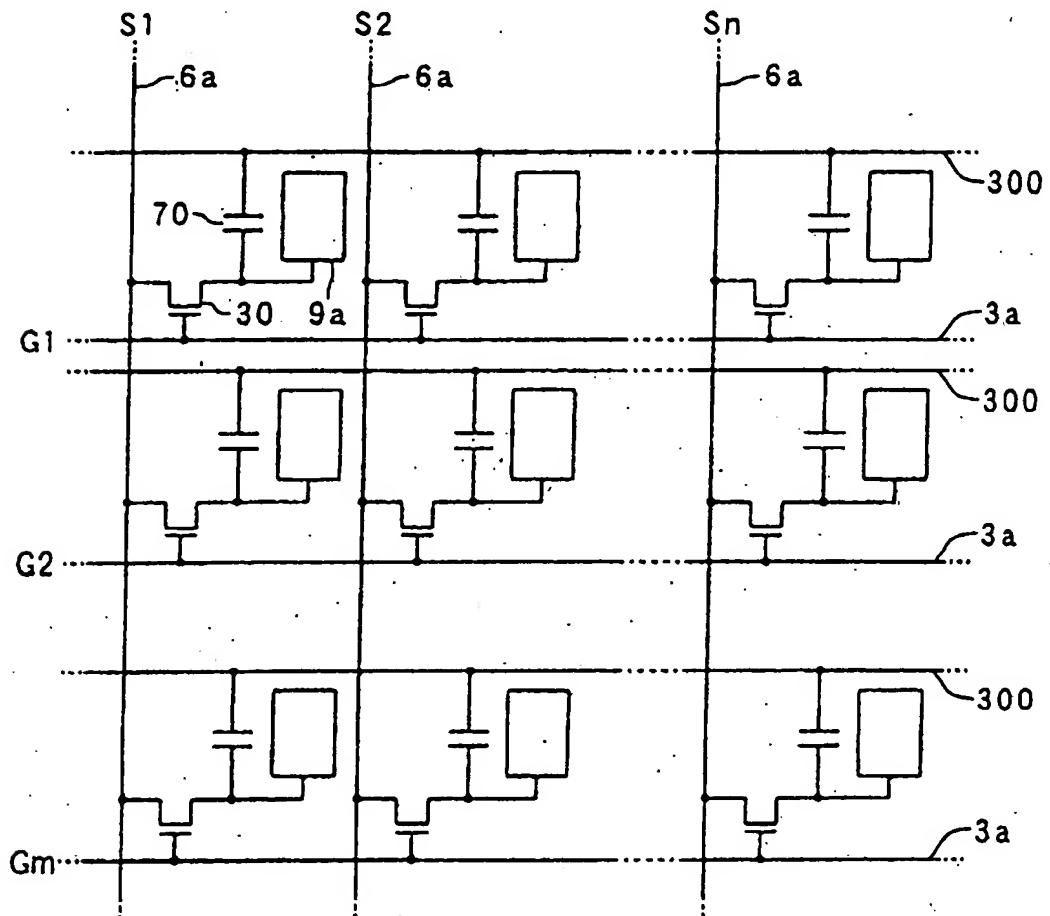


图 1

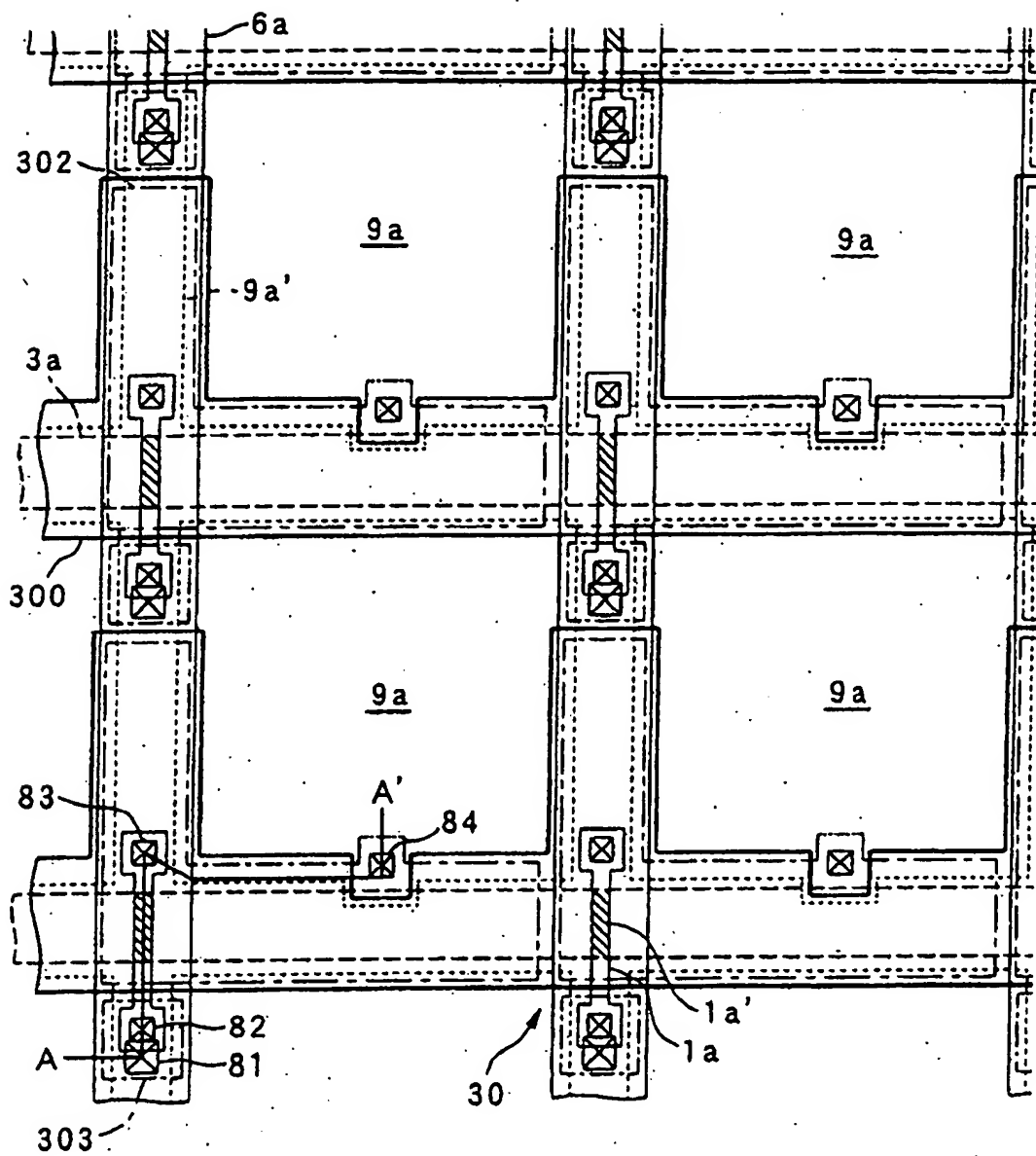


图 2

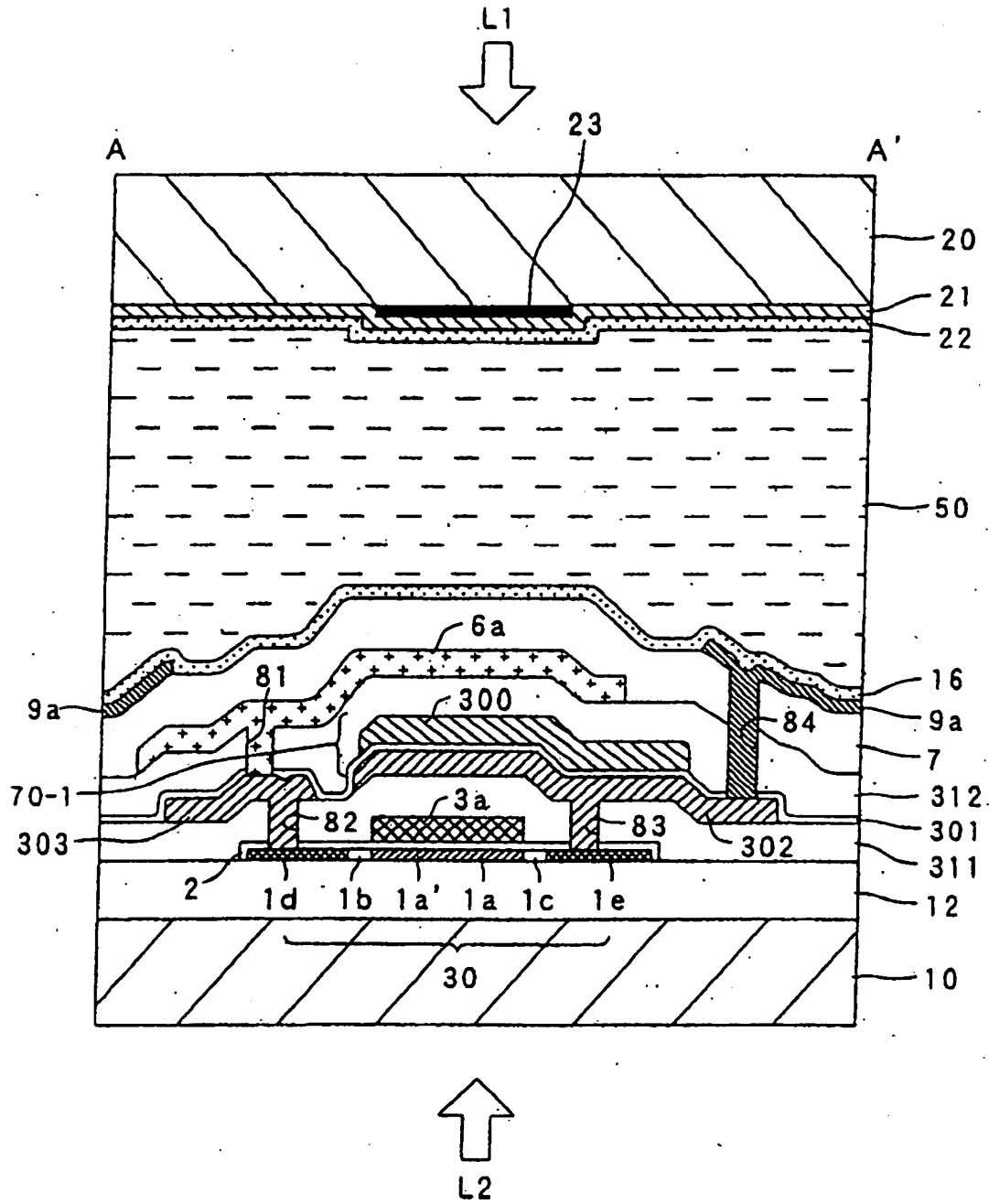


图 3

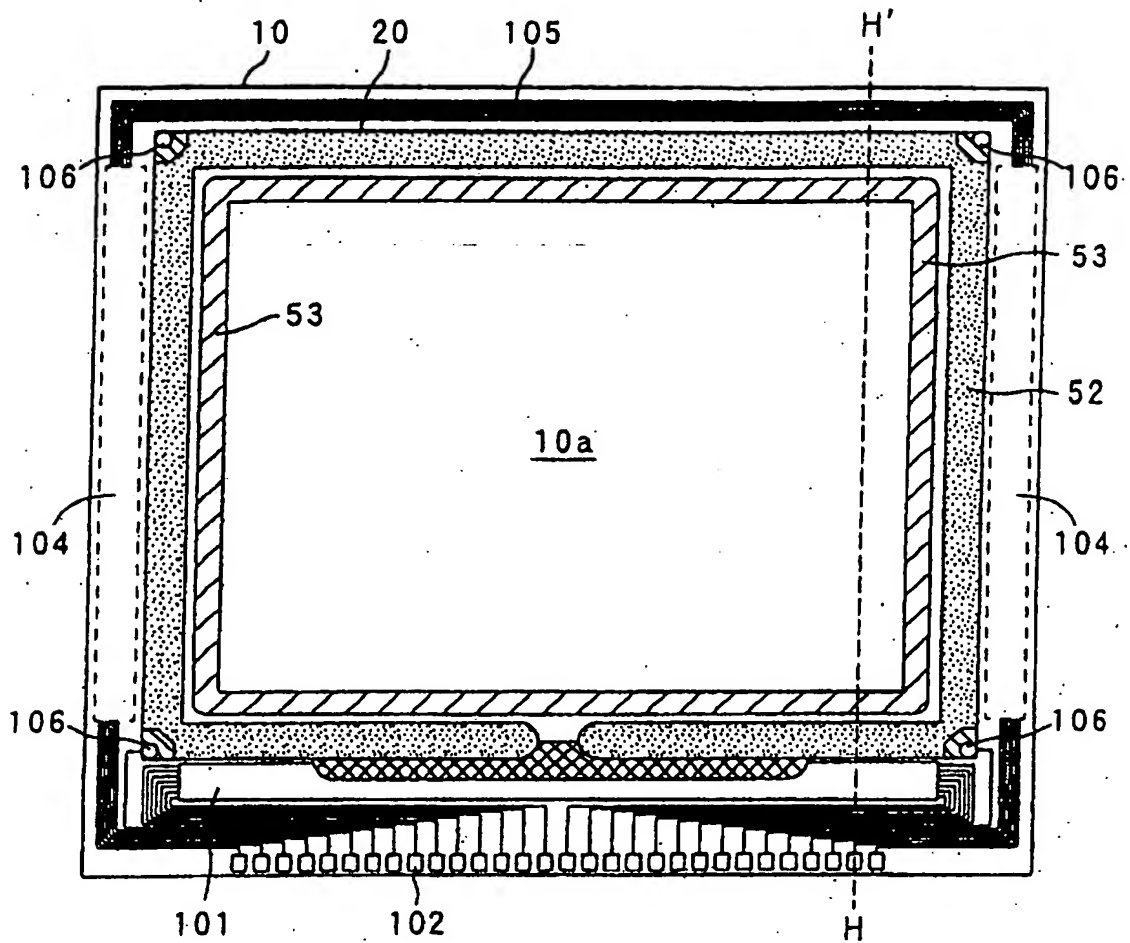


图 41

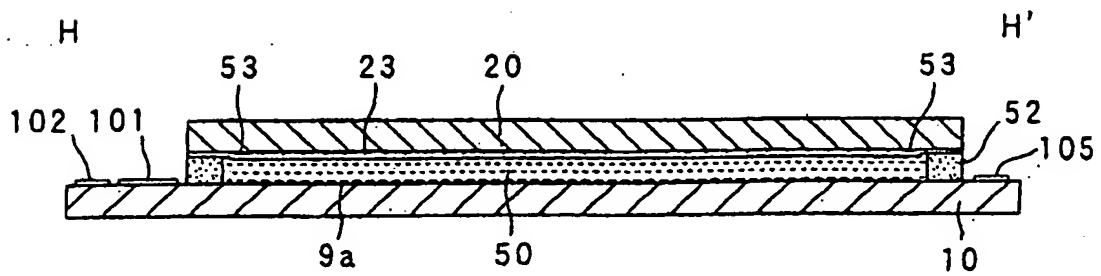


图 42

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**